



Ausarbeitung

Studiengang Informationstechnik

Thema: Virtuelle (Hyperthreading) und Physikalische Dualcore Technologie

ingereicht von: Thomas Papke <Thomas.Papke@iwr.fzk.de>

ingereicht von: Markus Löschinger <markus.loeschinger@dfs.de>

zuletzt geändert: 15. November 2004

Kurs: Innovative Architekturen - TIT02BNS

Inhaltsverzeichnis

1	Einleitung	3
2	Virtuell Multiprocessing	4
2.1	Einleitung	4
2.2	Grundlage	5
2.3	Architektur im Detail	6
2.4	Softwareanpassung	8
2.5	Performance	9
2.6	Systemanforderungen	12
2.7	Exkurs IBM Power5	12
2.8	Fazit	12
3	Physical Multiprocessing	13
3.1	Funktionsweise	13
3.2	Aktuelle Prozessoren	13
3.2.1	Sun UltraSparc IV	13
3.2.2	HP PA 8800	15
3.2.3	AMD Dual Core Opteron/Athlon64	15
3.2.4	Intels physikalischer Dualcore	18
3.2.5	IBM Power 5	19
4	Fazit und Ausblick	20
	Abbildungsverzeichnis	20
	Literaturverzeichnis	21

1 Einleitung



Nicht nur aktuelle 3D-Actionspiele fordern immer mehr Prozessorleistung, sondern auch normale Office- und Multimediaanwendungen benötigen mit jedem Versionssprung mehr Rechenpower. Der klassische Weg, diese Leistung zur Verfügung zu stellen, sind immer höhere Taktraten. Dabei treten aber verschiedene Probleme auf. Zum einen steigt mit zunehmender Taktrate die Verlustleistung, die mit aufwendigen Kühlsystemen abtransportiert werden muss. Ein weiteres Problem sind die Dämpfungseigenschaften von elektrischen Leitern. Bei zunehmender Frequenz werden die Signale so stark verzerrt, dass sie nicht wieder rekonstruiert werden können. Aus diesen Gründen sucht man Wege, die Rechenleistung zu erhöhen, ohne die Taktrate wesentlich zu steigern.

Verglichen mit einem Motor wäre die Erhöhung der Drehzahl eine Steigerung der Taktrate. Neben den thermischen Problemen ist die Entwicklung und Fertigung einer so hoch drehenden Maschine sehr teuer. Eine Alternative ist, den Motor mit Zusatzaggregaten (Abgasturbolader, Kompressor) auszustatten. Dieser Ansatz wird bei Prozessoren seit einiger Zeit mit erweiterten Befehlssätzen (MMX, 3D-Now) verfolgt. Die Vergrößerung des Hubraumes entspräche dann der Parallelisierung der Aufgaben eines Prozessors. Dies ist ein viel versprechender Ansatz, um langfristig Leistungssteigerung zu gewährleisten.

Multiprozessorsysteme sind seit langem bekannt, werden aber hauptsächlich in Servern verwendet. Seit Kurzem findet man aber auch im Workstation- und PC-Bereich vermehrt Multiprozessorkonzepte. Hier gibt es 3 verschiedene Ansätze. Einerseits gibt es Hersteller, die mehrere Prozessoren in einen Rechner einbauen. Dieses SMP (Symmetric Multiprocessor) genannte Konzept ist relativ kostspielig. Intel implementiert unter dem Namen 'Hyper Threading' einen virtuellen zweiten Prozessorkern. Andere Hersteller erweitern ihre Prozessoren um einen physikalischen Kern und bieten so 2 Prozessoren auf einem Chip. Das Dualcore-Konzept kann man auch erweitern und 4, 8 oder mehr Cores auf einem Prozessor unterbringen. Man spricht dann allgemein von Multicore-Architekturen.

2 Virtuell Multiprocessing

2.1 Einleitung

Bereits seit Jahren ist auf dem Markt der Prozessorhersteller klar zu erkennen, dass physikalische Geschwindigkeitssteigerung und tatsächlicher Speedup der Prozessoren immer weiter auseinander läuft. Bereits in vergangenen Jahren haben Prozessorhersteller nicht

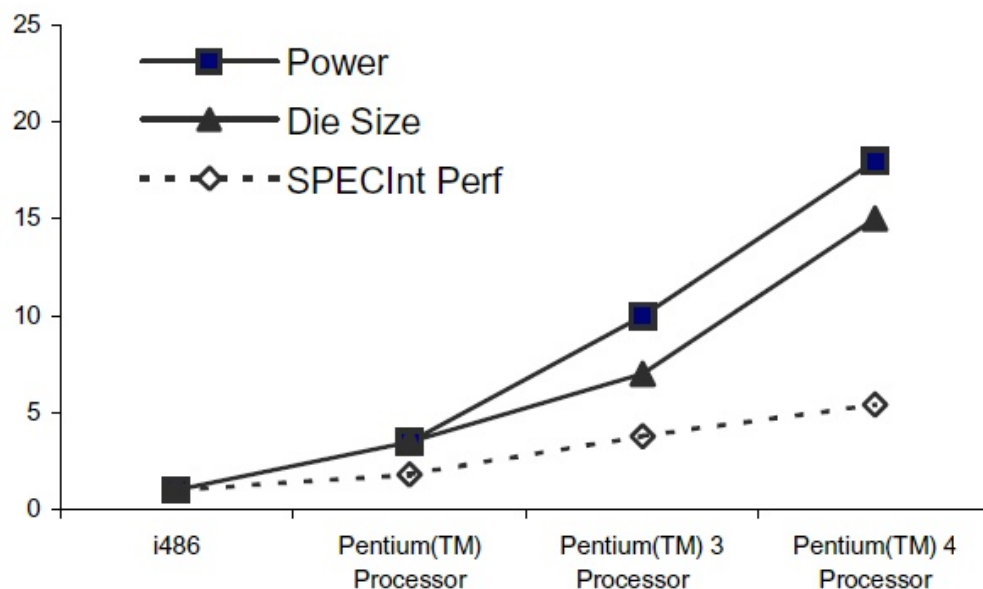


Abbildung 2.1: SpecInt Entwicklung

ausschließlich durch Taktsteigerung einen Geschwindigkeitsgewinn erzielt. Erweiterte Befehlsätze (z.b. MMX, SSE, 3DNow) und stetig steigende Größen von Zwischenspeichern (L1 und L2 Cache) haben ihren Beitrag dazu geleistet.

Die spekulative, superskalare Pipeline eines heutigen X86er Prozessors kann bereits mehrere 'atomare' Befehle ungeordnet und parallel ausführen. Jedoch dürfen nur nicht abhängige Instruktionen parallel ausgeführt werden und auch bei diesen bedarf es eines hohen Optimierungsaufwandes. Durch diese beschränkte Parallelisierungsmöglichkeit werden bei aktuellen Intel Prozessoren nur 35% der Ausführungsressourcen genutzt.

Und genau hier setzt das Konzept des 'virtuell Multiprocessing' an. Intel ist in diesem Bereich der erste Hersteller der sich dieser Technik unter dem Kürzel 'HT' bedient. Seit Ende 2002 steht HT bei Pentium4 Prozessoren für Hyperthreading. HT wird dabei von



Abbildung 2.2: Pentium4 mit HT

Marketingstrategen den Käufern als Zusatznutzen verkauft, ohne dass diese wissen was wirklich dahinter steckt.

2.2 Grundlage

Man hat erkannt, dass es auf Hardwareebene nicht möglich ist genügend parallelisierbare Instruktionen zu finden um beispielsweise die drei Rechenwerke eines Pentium4 (zwei für Integer und einer für Float mit doppelter Taktfrequenz) optimal auszulasten. Ein Rechenwerk beinhaltet dabei eine Vielzahl an arithmetisch logischen Einheiten für verschiedene Operatoren. Außerdem gibt es Situationen bei denen der Prozessor sehr lang warten muss. Zu diesen zählt z.b. ein unvergesehenener Sprung oder ein Speicherzugriff. Intel versucht nun mit der Hyperthreading Technologie die Auslastung der Rechenwerke mit Betriebssystem- und Entwickler- bzw. Anwendungslogik zu verbessern. So sollte mit möglichst wenig Aufwand die Effizienz der vorhandenen Ressourcen besser genutzt werden. Grundlage der Technology ist es ein physikalischer Prozessor der in n logische Prozessoren eingeteilt wird. Für das Betriebssystem und die Anwendungen sieht es wie ein 2-Prozessorsystem aus. Der Mehr-Aufwand für HT beziffert Intel auf 5% Chipfläche, was im Vergleich zum potentiellen Geschwindigkeitsvorteil sehr gering erscheint. Das von Intel umgesetzte Prozessordesign ist keine Neuentwicklung sondern nur eine Umsetzung der SMT¹ Technik.

Die Ausführungsgeschwindigkeit in einem Prozessor wird signifikant durch das Schwächste Glied in der Pipeline, den Ausführungseinheiten, bestimmt.

Leitsatz der SMT Technik: 'If you don't use - give it to the other'

¹Simultaneous Multithreading

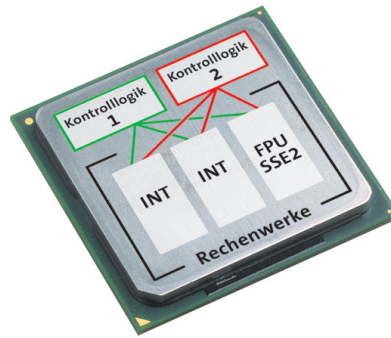


Abbildung 2.3: Pentium4HT Schaubild

2.3 Architektur im Detail

Im folgenden soll SMT am Beispiel Intel's Hyperthreading Technik erklärt werden. Beide logischen Prozessoren haben einen Teil der Prozessorbauteile doppelt (Replicated), geteilt (Partioned) oder gemeinsam (Shared) genutzt.

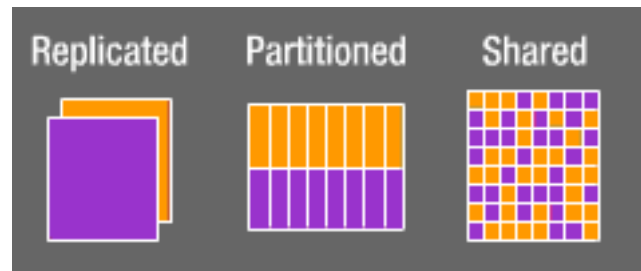


Abbildung 2.4: Pentium4 HT Teile

Jede logische CPU benötigt ihren eigenen Registersatz, Instructionspointer, Interrupt-Controller und eigene interne Verwaltungsstrukturen da man nicht ständig einen Kontextwechsel zwischen den logischen Prozessoren durchführen kann. Für jeden logischen Prozessor wird damit ein eigener Hardwarekontext geschaffen, der das Frontend zum Betriebssystem bildet. Das Betriebssystem kann damit jeden logischen Prozessor ansprechen.

Geteilt genutzt wird der Re-Order Buffer für die Wiederherstellung der Ausführungsreihenfolge (falls sich Instruktionen überholen) und die Warteschlangen vor den Ausführungseinheiten. Gemeinsam genutzt werden Caches, die 'Out-of-Order Engine' und die Rechenwerke. Das Schaubild 2.5 zeigt symbolisch die Pipeline eines HT Prozessors, wobei die logischen Prozessoren jeweils in 2 verschiedenen Farben dargestellt werden.

Im Prozessor werden zwei unabhängige Pipelines von Instruktionen geführt - die auch als Kontrollfaden benannt werden. SMT ist daher eine 'mehrfädig' Prozesortechnik. Das Problem eines langen Wartezyklus durch Speicherzugriffe oder unverhergesehene Sprünge kann damit besser verarbeitet werden. Stoppt die Ausführung in eines Kontrollfadens

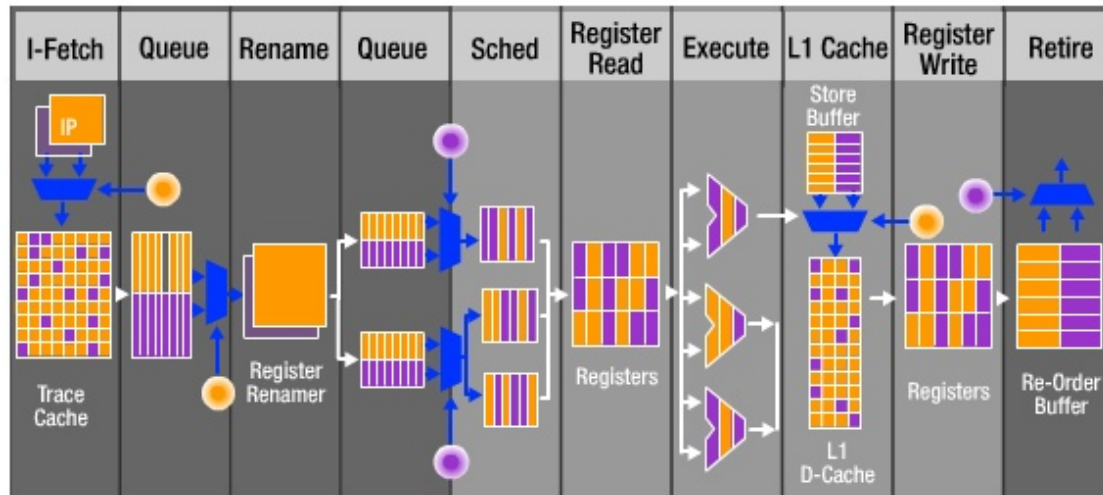


Abbildung 2.5: Pentium4 Pipeline

durch einen Sprung, so kann die Wartezeit mit Befehlen des zweiten Kontrollfadens überbrückt werden. Innerhalb der Pipeline erfolgt nur in den Ausführungseinheiten eine parallele Ausführung - ansonsten muss immer abwechselnd auf die Kontrollfäden zugegriffen werden.

Der eigentliche erhoffte Performancezuwachs ist nicht allein durch die HT Technik zu erreichen, sondern in Zusammenspiel mit Multithreading Anwendungen oder Betriebssystemlogik. So definiert eine Anwendung mit 2 unabhängigen Threads, die jeweils auf einem logischen Prozessor laufen, bereits was parallel ausgeführt werden kann. Lastet ein Thread nicht alle Rechenwerke aus, so kann ein 2. Thread die jeweils 'übrigen' Rechenwerke nutzen. Auch nicht Multi-Threading optimierte Anwendungen profitieren, da diese einen logischen Prozessor voll belegen können und nebenläufige Anwendungen (Virenschanner, ...) die restlichen Ressourcen nutzen ohne die Hauptanwendung zu behindern. Den größten Performancegewinn erzielen jedoch die Multi-Threading Anwendungen.

Am Beispiel einer Multithreading Renderingssoftware kann man gut nachvollziehen wieso HT einen Geschwindigkeitsvorteil bringt. Das System mit nur einem logischen Prozessor geht Bildpunkt für Bildpunkt über das Bild und führt seine Berechnungen durch. Dabei kann es vorkommen, dass nicht alle Rechenwerke optimal ausgenutzt werden. In einem System mit 2 logischen Prozessoren kann die Anwendungen 2 unabhängige Threads kreieren, indem jeder beispielsweise eine Bildhälfte bearbeitet. Hierbei kann der 2. Thread evtl. nicht genutzte Rechenwerke auslasten.

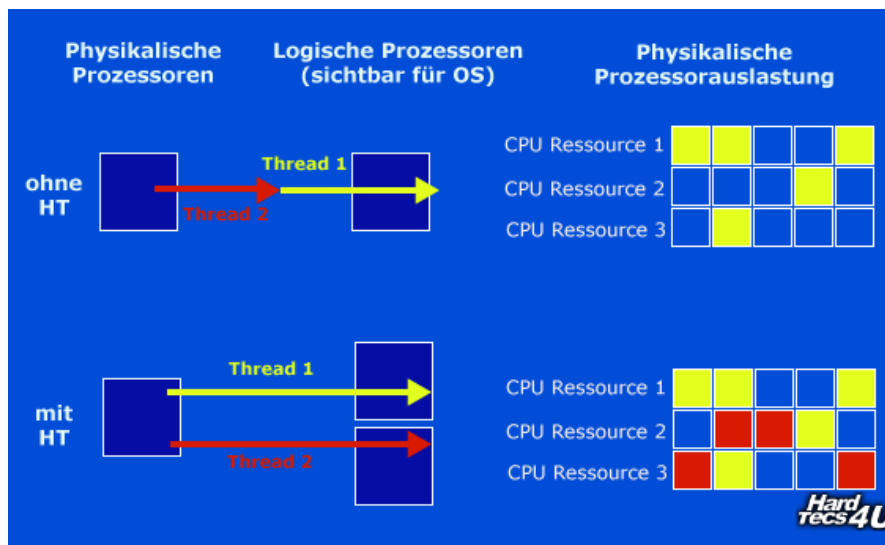


Abbildung 2.6: Beispiel Anwendung

2.4 Softwareanpassung

Einige Konstrukte die bei physikalischen Mehrprozessorsystemen keinerlei Unterschied machen, können ein System mit mehreren logischen Prozessoren ausbremsen. Führt beispielsweise ein Prozessor wichtige Operationen aus, die der 2. Prozessor benötigt (Abhängigkeiten) so kann man bei einem physikalischen Mehrprozessorsystem einen 'Spin-Wait' generieren. Dieses bleibt solange in einer Schleife bis die Sperre des anderen Prozessors aufgehoben wird. Ein Pause Instruktion kann den Ressourcenverbrauch für eine gewisse Zeit einschränken. Diese Pause ist bei HT Prozessoren zwingend notwendig, denn ohne diese verbraucht der wartende logische Prozessor zuviel Ressourcen, die dann nicht vom arbeitenden Prozessor verwendet werden können. Schlecht entwickelter Code kann die Ausführungszeit auf einem HT Prozessor dadurch auch verlangsamen. Dadurch sollten rechenintensive Anwendungen anhand der CPUID prüfen ob ein HT Prozessor vorliegt. Außerdem muss man Berücksichtigen, dass Hyperthreading einen erhöhten Verwaltungsaufwand bedarf.

Der Scheduler des Betriebssystem muss auch angepasst werden. Sind mehrere physikalische CPU's mit jeweils HT Technik installiert, so sollte dieser die Threads einer Anwendungen immer erst auf physikalisch unterschiedliche Prozessoren verteilen.

Ein weiterer Punkt der zu beachten ist, ist das Thema Lizenzierung. Viele Softwareprodukte werden Prozessorabhängig lizenziert. Erkennt ein Produkt die logischen Prozessoren fälschlicherweise als physikalische, kann dies zu Problemen führen. Microsoft lizenziert beispielsweise immer nur physikalische Prozessoren, die bei aktuellen Systemen auch korrekt erkannt werden. Bei Problemen ist es normalerweise problemlos möglich die Hyperthreading Technik im Bios des Systems zu deaktivieren.

2.5 Performance

Im professionellen Umfeld können Anwendungen wie Webserver besonders von HT profitieren, da diese bereits mit sehr vielen 'Threads' arbeiten. Intel offeriert Zahlen von 10-20% für normale Anwendungen und bis zu 33% bei optimierten Anwendungen in Multitasking Umgebungen. Das diese Zahlen durchaus sehr optimistisch erscheinen mag in der Quelle begründet sein. Ein HT Prozessor mit 2 logischen Prozessoren kann aber nie die Leistung eines physikalischen 2 Prozessor (SMP²) Systems erreichen, ist aber wesentlich preiswerter zu realisieren.

Die dargestellten Diagramme (von <http://www.2cpu.com>) sollen einen Eindruck vermitteln, dass HT kein Garant für ein Geschwindigkeitsplus ist. DivX Encoding zeigt, dass durchaus eine Verschlechterung eintreten kann. Es ist aber zu erwarten das zukünftige Softwareentwicklung aufgrund der Verbreitung von HT, dieses immer besser auszunutzen wissen.



Abbildung 2.7: Apache Bench mit statischen HTML

²symmetric multiprocessing

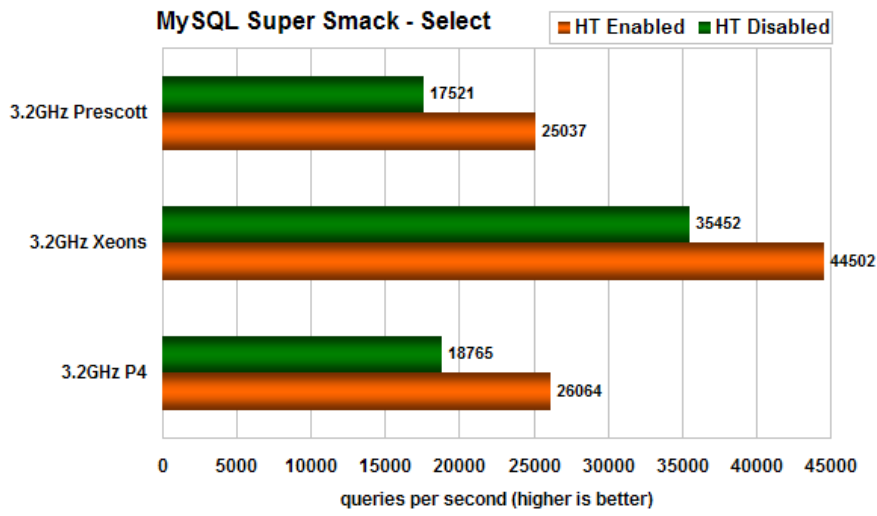


Abbildung 2.8: MySQL Performance

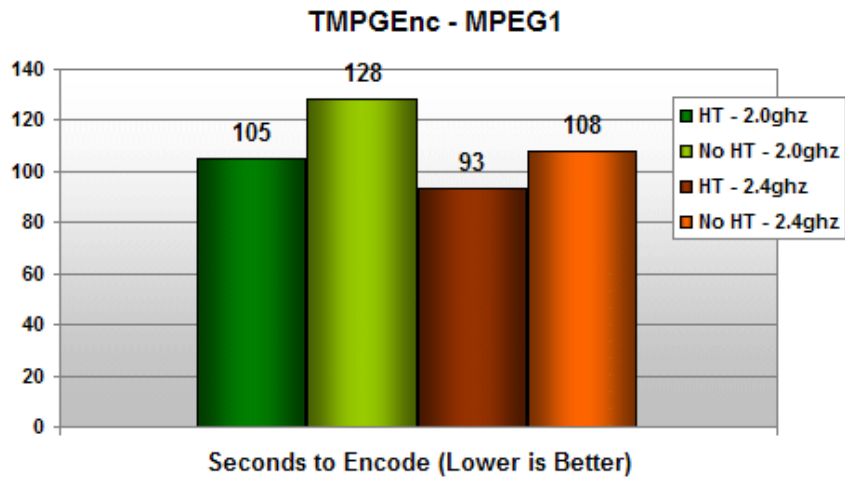


Abbildung 2.9: MPEG1 Encoding

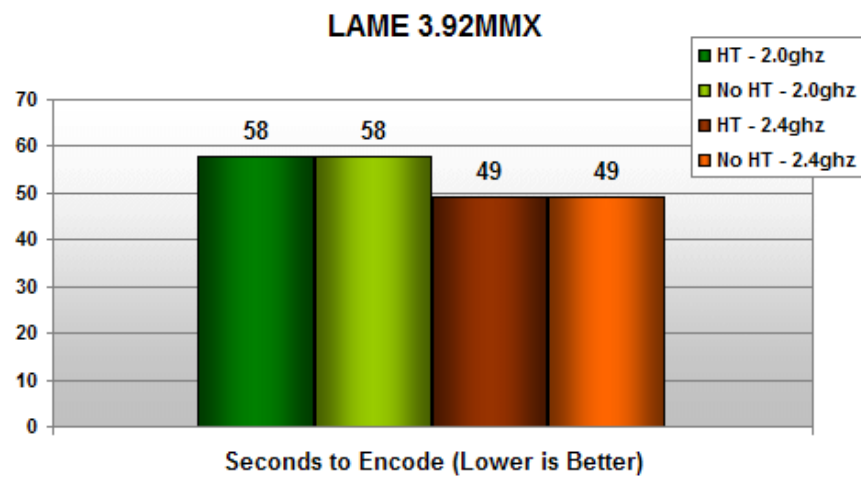


Abbildung 2.10: MP3 Encoding

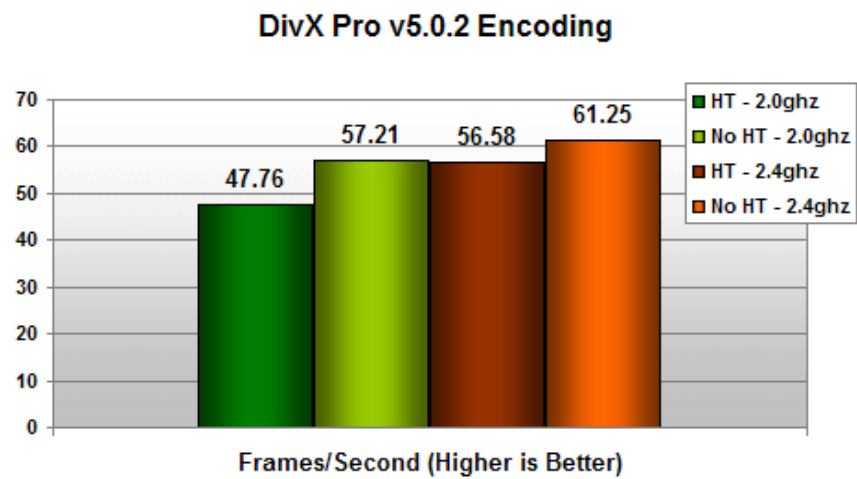


Abbildung 2.11: DivX Encoding

2.6 Systemanforderungen

Für den Betrieb eines Hyperthreading Prozessor's ist es notwendig das Northbridge, Bios und Betriebssystem dieses unterstützen. Oftmals werden PC's heutzutage vom Hersteller mit deaktiviertem HT vertrieben um eventuellen Problemen aus dem Weg zu gehen. Bei älteren Motherboard's ist es oftmals möglich den HT Support nachträglich mit einem Bios Update zu bekommen. Für optimale Leistung sollte ein aktiviertes Hyperthreading auf WindowsXP (Home oder Professional) oder Linux ab Kernel 2.4.18 eingesetzt werden. Bei allen anderen Systemen sollte Hyperthreading deaktiviert werden. Auf einem Windows2000 wird beispielsweise nicht empfohlen Hyperthreading einzusetzen.

2.7 Exkurs IBM Power5

Seit Mai 2004 gibt es nun einen zweiten kommerziellen SMT Prozessor auf dem Markt. IBM hat sich im Power5 Risc Prozessor dieser Technik bedient. Diese wurde aber leicht verbessert: So kann nun eine Priorisierung der logischen Prozessoren durchgeführt werden. Außerdem ist SMT dynamisch abschaltbar um ältere problembehaftete Software besser kontrollieren zu können.

2.8 Fazit

Das das SMT Prinzip funktioniert, hat Intel mit der Hyperthreading Technologie einschlägig beweisen können. Die 'Effizienz' des Pentium4 konnte gesteigert werden. Verbaut ist Hyperthreading derzeit nur auf Desktopprozessoren der neueren Pentium4 Serie und Xeon Serverprozessoren. Dies macht allerdings bei der Marktstellung von Intel bereits ein sehr großes Publikum aus - Intel gibt an, 50 Millionen HT Prozessoren innerhalb von 2 Jahren verkauft zu haben. HT hat aber auch in Entwicklerkreisen für Endanwendersoftware den Weg für Multiprozessorsysteme geebnet. Mittlerweile werden mehr und mehr Anwendungen für Privatanwender MP fähig entwickelt. HT ist sowohl in Single- als auch Mulitprozessorsystemen oftmals von Vorteil.

3 Physical Multiprocessing

3.1 Funktionsweise

Ein physikalischer Dualcore-Prozessor besteht im Wesentlichen aus zwei Prozessorkernen. Diese zwei Kerne greifen in den meisten Fällen auf einen gemeinsamen L2-Cache zu und werden durch eine 'Control-Unit' gesteuert. Im Prinzip funktioniert ein solcher Prozessor wie im vorherigen Kapitel beschrieben, mit dem Unterschied, das nun zwei separate Ausführungseinheiten unabhängig voneinander rechnen können.

Dieses Verfahren ermöglicht es günstige Multiprozessorsysteme zu bauen. Somit ist es möglich durch geringen Mehraufwand eine Leistungssteigerung zu erzielen und dabei auch noch die Taktrate zu senken. Es ist weiterhin möglich, physikalische und virtuelle Multicore-Prozessoren zu kombinieren und dadurch die vorhandenen Ressourcen effektiv auszunutzen. Die Funktionsweise der einzelnen am Markt erhältlichen Prozessoren oder der bereits vorgestellten Prototypen wird in folgendem Abschnitt beschrieben.

3.2 Aktuelle Prozessoren

3.2.1 Sun UltraSparc IV

Einer der bereits erhältlichen physikalischen Dualcore-Prozessoren ist der UltraSparc IV der Firma SUN Microsystems. Dieser Prozessor wird in den Sun FIRE-Servern verbaut. Er besteht aus zwei UltraSparc III-Kernen, die auf einem Prozessor zusammengefasst sind. Durch die Verwendung des alten Gehäusedesigns ist er abwärts kompatibel zu den UltraSparc III-Prozessoren. Jeder Prozessorkern kann mehrere Threads gleichzeitig bearbeiten, daher nennt SUN diese Technik Chip Multithreading (CMT). Der UltraSparc IV wird von Texas Instruments mit 130 nm Technologie gefertigt. Auf dem Chip befinden sich 66 Millionen Transistoren, die insgesamt eine Leistung von 100 Watt umsetzen. In aktuellen Servern wird der Prozessor mit 1,2 GHz betrieben.

Mit dem Prozessor kann man durch die 64 Bit Architektur 16 GB Arbeitsspeicher verwalten. Beide Cores greifen auf einen 16 MB großen L2-Cache zu, der auf dem Prozessor untergebracht ist. Zusätzlich verfügt jeder Core über einen 69 kB großen L1-Cache. Der Prozessor besitzt jeweils 2 Float- und Integer-Ausführungseinheiten, die parallel, über eine 14 stufige Pipeline betrieben werden können. Zusätzlich befindet sich eine Load/Store- und eine Branch-Unit auf dem Chip.

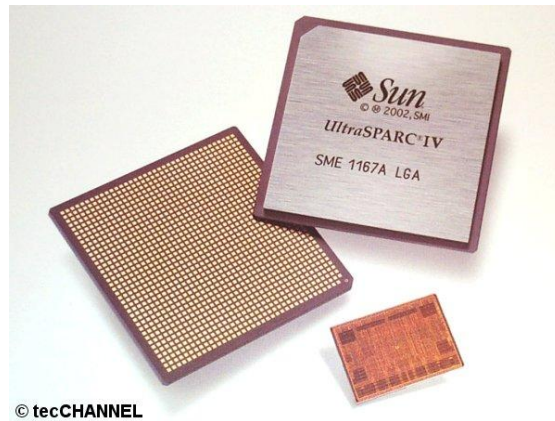
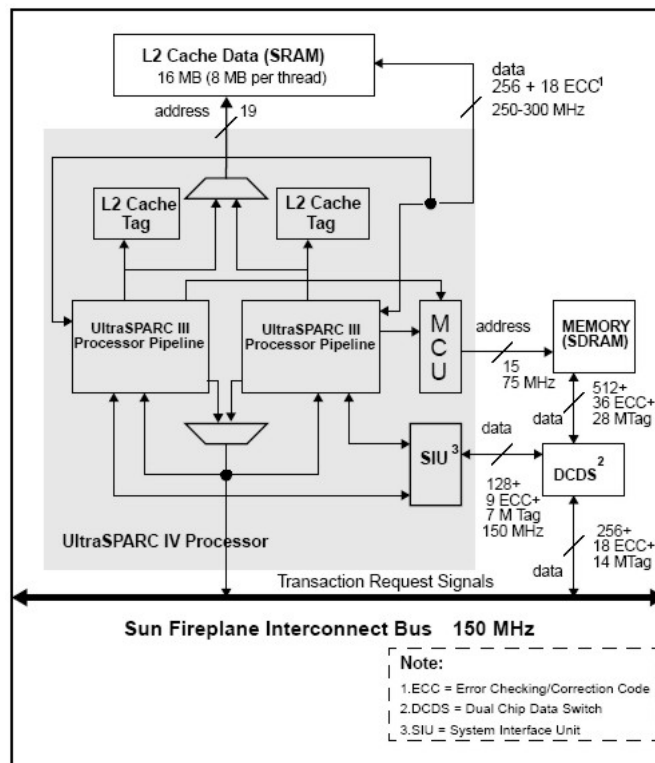


Abbildung 3.1: Sun UltraSPARC IV Schaubild

Die grundsätzliche Funktionsweise des Prozessors wird durch folgendes Diagramm beschrieben.



Auf oben stehendem Schaltbild sieht man deutlich die zwei UltraSparc III Prozessor Pipelines und den 16 MB großen L2 Cache, der aber nicht von beiden Cores gemeinsam genutzt wird. Der Prozessor benutzt zur Kommunikation mit anderen Prozessoren den Fireplane Interconnect Bus.

3.2.2 HP PA 8800

Hewlett Packard erweitert die eigene Server-Prozessor-Familie PA-RISC um einen Dualcore-Prozessor, den PA 8800. Das bemerkenswerte an diesem Chip ist aber nicht die Dualcore-Architektur, sondern die Menge an Cache, die HP diesem Prozessor spendiert. So hat jeder Core einen L1-Cache von 750 kB zur Verfügung. Der L2-Cache ist nicht direkt in den Chip integriert, sondern ähnlich wie beim Pentium II im selben Gehäuse platziert. Der Prozessor kann bis zu 4 Cache-Module mit je 72 MB verwalten. Somit verfügt der Prozessor über die rekordverdächtige Cachegröße von ca. 290 MB. HP will dadurch den Flaschenhals eines Rechners, den Zugriff auf den Hauptspeicher entlasten und so Performance gewinnen.

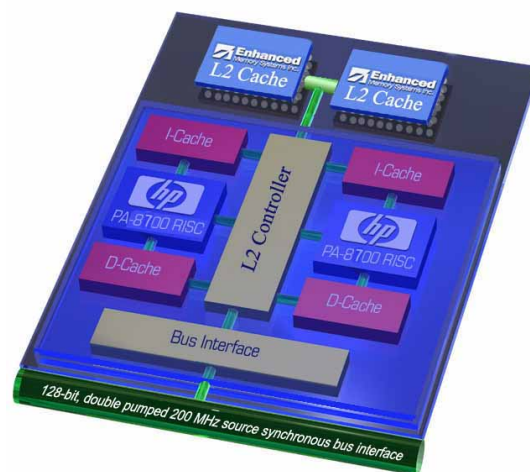


Abbildung 3.2: Blockschaltbild HP PA 880

3.2.3 AMD Dual Core Opteron/Athlon64

Der erste physikalische Dual-Core-Prozessor aus dem Hause AMD basiert auf dem Opteron. Später wird auch der Athlon64 mit 2 Prozessorkernen ausgestattet. Dessen Architektur war von Anfang an für einen zwei Kerne entworfen.

AMD stellte einen Dualcore-Prozessor während des Intel Developer Forum im September 2004 erstmalig der Öffentlichkeit vor. Als Termin für die Markteinführung nennt AMD den Frühling 2005. Ab 2006 will AMD einen Dual-Core-Prozessor in 65 nm-Technologie im Werk in Dresden fertigen. Bis dahin werden die Prozessoren in 90 nm-Technologie gefertigt. Der Dualcore Opteron ist aus 205 Millionen Transistoren aufgebaut und setzt bei einer Taktrate von ca. 1,8 GHz durchschnittlich 95 Watt um.

Als Architektur-Erweiterungen spendiert AMD dem Dual-Core-Opteron die Befehlsatz-erweiterung SSE3, es fehlen aber die Befehle 'MONITOR' und 'MWAIT', da diese nur im Kontext von HyperThreading benutzt werden können. Der Prozessor meldet sich mit

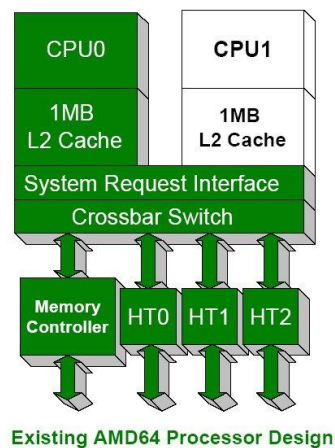


Abbildung 3.3: AMD Athlon64

dem HT-Flag, gaukelt dem Betriebssystem also HyperThreading vor, um eine einfache Erkennung und Steuerung der Prozessoren zu ermöglichen.

Auf folgendem Foto sieht man einen Performancevergleich zwischen dem blau dargestellten Singlecore-Dualprozessor-System und den mit unterschiedlichen Taktraten betriebenen Dualcore Prozessoren, ebenfalls als Dualprozessor-System realisiert. Somit sind 4 Prozessorkerne parallel im Einsatz. Der Takt des Singlecore-Prozessors liegt bei 2,4 GHz, demnach sind die Dualcore-Prozessoren mit 1,4 (rot) und 1,8 GHz (grün) getaktet. Man sieht aber deutlich, dass die Dualcore-Systeme trotz geringerer Taktrate bessere Benchmarkwerte liefern. Als nächsten Schritt will AMD Multicore-Prozessoren realisieren und schnelle Speicherzugriffstechniken wie DDR3 unterstützen. Außerdem soll der Hyper-Transport-Bus ausgebaut werden.

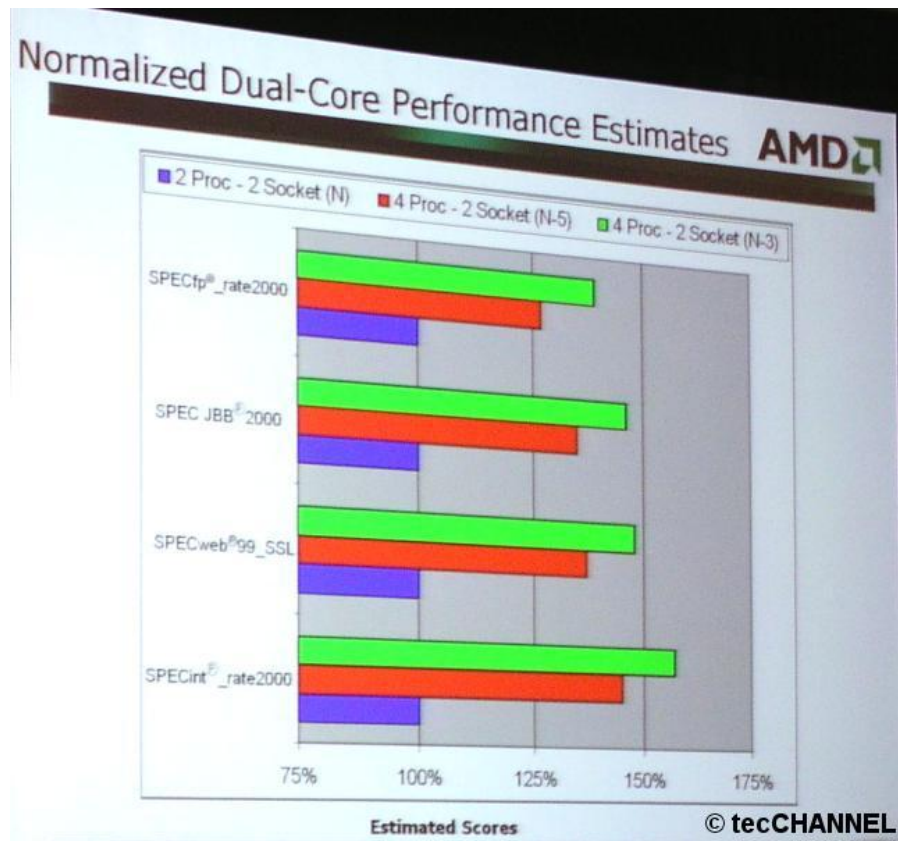


Abbildung 3.4: AMD Athlon64 Benchmark

3.2.4 Intels physikalischer Dualcore

Der Itanium2 Nachfolger Montecito soll Mitte 2005 als erster Dualcore-Prozessor von Intel in Serie gehen. Dieser Prozessor soll zudem noch HyperThreading nutzen und somit 4 logische Prozessoren auf einem Chip vereinen. Ebenfalls 2005 sollen die Mobile-Prozessoren durch Dualcore-Technik aufgewertet werden. Erst 2006 folgen dann die Desktop-CPU's. Die Celeron-Baureihe wird allerdings vorerst als Singlecore-Prozessor weitergeführt. Auf dem Intel Developer Forum war ein lauffähiger Prototyp des Montecito zu sehen.

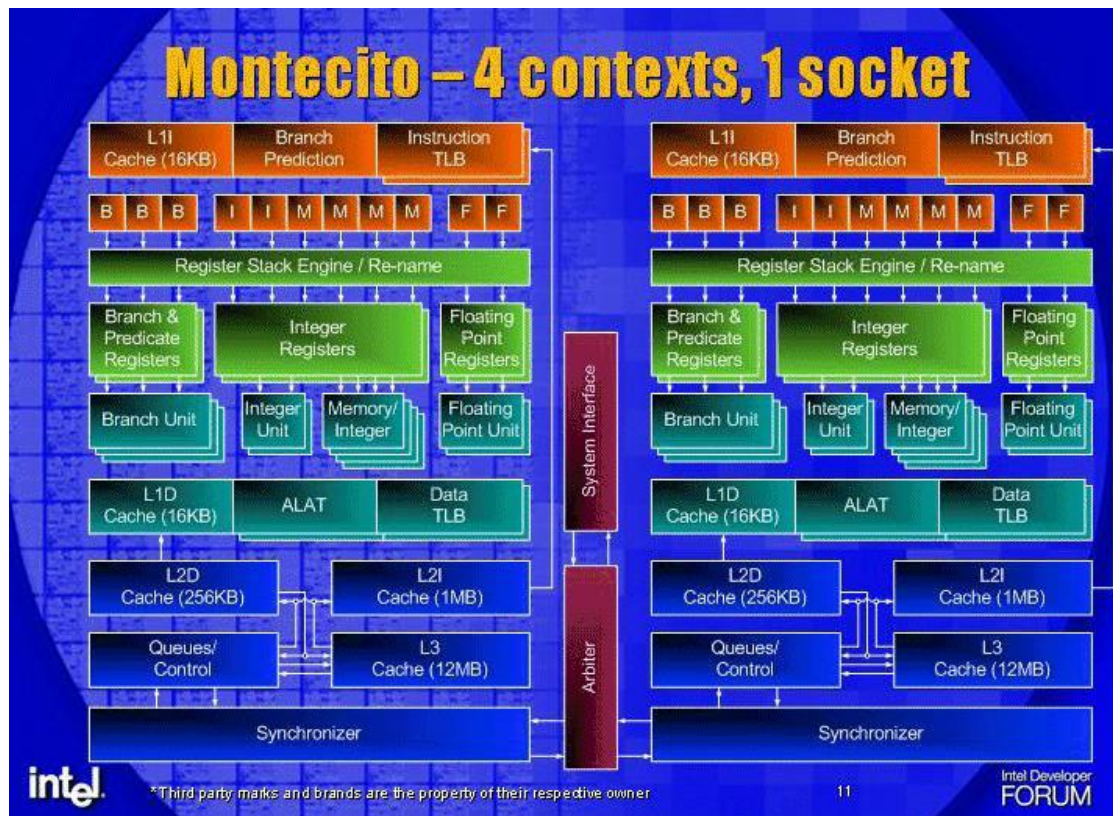


Abbildung 3.5: Intel Montecito

Dieser Prozessor besteht im Wesentlichen aus 2 Itanium2-Kernen und verfügt über insgesamt 27.5 MB Cache. Die beiden Cores besitzen aber jeweils einen eigenen Cache. Die Entwicklung eines gemeinsamen L3-Caches wäre laut Intel nicht finanzierbar gewesen, deshalb muss man ca. 10% Performanceverlust in Kauf nehmen. Das Gehäuse des Montecito ist zum Itanium2-Sockel kompatibel, somit eignet sich der Prozessor für Upgrades bestehender Itanium2-Systeme. Die erste Version des Montecito soll bei einer Taktrate von 2 GHz 100 Watt Verlustleistung produzieren.

3.2.5 IBM Power 5

Wie schon weiter oben beschrieben verfügt der Power 5 Prozessor von IBM über SMT. Da dieser Prozessor aber auch noch aus 2 Cores besteht, kann er 4 Threads parallel abarbeiten. Der Prozessor ist das Herzstück der i-Server Reihe von Big Blue. Auf einem solchen Server kann man bis zu 10 Betriebssysteme parallel laufen lassen. Dies wird durch die virtualisierung der Prozessoren erreicht. Man kann jedem OS eine gewisse Anzahl von Prozessoren zuweisen und diese Konfiguration im Betrieb ändern. Auf diese Weise setzt IBM die Hauseigene 'on demand'-Philosophie um.

4 Fazit und Ausblick

Fast alle Prozessorhersteller beschäftigen sich mit dem Thema Multicore-Architekturen. Viele von ihnen haben bereits lauffähige Prototypen oder sogar serienreife Produkte. Die Marketingstrategen müssen demnach wieder kreativ werden, denn mit Ghz-Taktraten kann man in Zukunft nicht mehr ausschließlich werben.

Die Anwender profitieren erst von dieser neuen Technik, wenn die Software die zusätzlichen Funktionen nutzt. Einige Hersteller haben angekündigt, das sie zukünftige Produkte für Multicore-Prozessoren optimieren wollen.

Die in der Einleitung erwähnte Parallelisierung der Aufgaben wird mit Dualcore-Prozessoren effektiv umgesetzt. Durch geringere Taktraten wird die Verlustleistung minimiert, obwohl die Performance steigt. Deshalb ist es möglich immer leistungsfähigere Rechner zu bauen.

Die Entwicklung der Multicore-Architekturen steht aber noch am Anfang und bietet viel Potential für zukünftige Innovationen. So kann man durch einen gemeinsam genutzten Cache ca. 10% Performance gewinnen.

Interessant ist die aktuelle Multicoreentwicklung für die Endanwender. So ist es bei AMD Operteron beispielsweise möglich einen SingleCore Prozessor gegen einen DualCore Prozessor zu tauschen. So wird aus einem ehemaligen 2 Prozessorsystem ein 4 Prozessor-system mit nahezu doppelter Leistung, ohne die komplette Maschine zu tauschen.

Im Bereich Lizenzierung ist eine eher unterschiedliche Einstellung zu Multicores zu sehen. Hier wird jeder Hersteller für sich entscheiden ob ein Multicoreprozessor ein oder mehrere Prozessoren darstellt. Microsoft hat für sich entschieden in diesem Fall pro Sockel und nicht pro Kern zu lizenzieren.

Weitere Informationen zu diesem hoch spannenden Thema finden sie bei den Prozessorherstellern oder auf den einschlägigen Internetseiten, siehe Literaturverzeichnis.

Abbildungsverzeichnis

2.1	SpecInt Entwicklung	4
2.2	Pentium4 mit HT	5
2.3	Pentium4HT Schaubild	6
2.4	Pentium4 HT Teile	6
2.5	Pentium4 Pipeline	7
2.6	Beispiel Anwendung	8
2.7	Apache Bench mit statischen HTML	9
2.8	MySQL Performance	10
2.9	MPEG1 Encoding	10
2.10	MP3 Encoding	11
2.11	DivX Encoding	11
3.1	Sun UltraSPARC IV Schaubild	14
3.2	Blockschaltbild HP PA 880	15
3.3	AMD Athlon64	16
3.4	AMD Athlon64 Benchmark	17
3.5	Intel Montecito	18

Literaturverzeichnis

- [1] Severinovskiy, Evgeny: *Intel Hyper-Threading Technology Review*, <http://www.digit-life.com/articles/pentium4xeonhyperthreading/>, 2004.
- [2] Intel: *Hyper-Threading Technology*, Intel Technology Journal, February 14, 2002.
- [3] ToMMTi-Systems: *Intel's Hyper-Threading Technologie*, <http://www.tommti-systems.com/main-Dateien/previews/hyperthreadingtec/hyperthreadingtec.html>, unbekannt.
- [4] ComputerBase Medien GbR: *Lexikon Hyperthreading*, <http://www.computerbase.de/lexikon/Hyperthreading>, 2003.
- [5] Sepp Reitberger - Chip Online: *Einführung: Das Dilemma der CPU-Entwicklung*, http://www.chip.de/artikel/c_artikelunterseite_8918268.html?tid1=14943&tid2=18990, 2003.
- [6] Withopf, Matthias : *c't Artikel: Virtuelles Tandem*, c't 24/2002 Seite 120 oder <http://www.heise.de/ct/02/24/120/>, 2003.
- [7] Stiller, Andreas : *Wind of Change-Fall Processor Forum 2004*, c't 22/2004 Seite 40, 2004.
- [8] Sun Microsystems: *UltraSparc IV Processor Architecture Overview*, Februar 2004, Version 1.0, 2004.
- [9] Vilsbeck, Christian : *AMD-Dual-Core-CPUs: Neue Details und Benchmarks*, <http://www.tecchannel.de/hardware/1478/>, 2004.
- [10] Vilsbeck, Christian : *Desktop- und Server-CPUs mit Dual-Core von Intel & AMD*, <http://www.tecchannel.de/hardware/1471/>, 2004.
- [11] Lostcircuits: *HP PA-8800 RISC Processor-SMP On One Chip*, http://www.lostcircuits.com/cpu/hp_pa8800/, 2004.

- [12] Kanellos, Michael : *IBM stattet Power-5-Prozessor mit Multithreading aus*, <http://www.zdnet.de/z/news/0,39023863,2138697,00.htm>, 2004.